

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-111790

(43)Date of publication of application : 28.04.1998

(51)Int.Cl.

G06F 7/00
H03K 19/177

(21)Application number : 09-228721

(71)Applicant : HEWLETT PACKARD CO <HP>

(22)Date of filing : 26.08.1997

(72)Inventor : PERNER FREDERICK A

(30)Priority

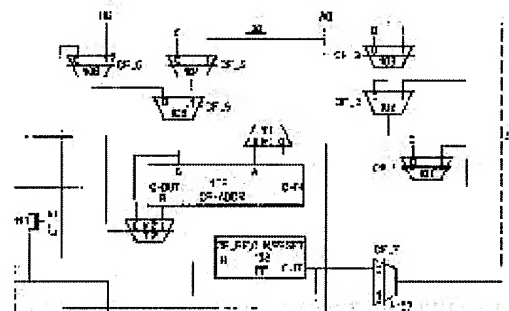
Priority number : 96 718849 Priority date : 26.09.1996 Priority country : US

(54) ARITHMETIC CELL

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the integration density and performance of an arithmetic cell by intensifying the multiplication through addition of two multiplexers and selection of a path for the cell which can shift the data.

SOLUTION: An arithmetic cell 100 includes the steering logic circuits 101 to 107, an FF(flip-flop) circuit 108, a 16-bit LUT(look-up table) 109 serving an ADDR(adder) circuit, a switch 110 and the multiplexer circuits 111 to 112 (M1 to M2). When the active bit of a multiplier is set at '1', a multiplicand is added to a partial product and this product is shifted by one bit in a multiplier array. If the active bit of the multiplier is set at '0', the partial product is just shifted by one bit. In this cell 100, the multiplexers 111 and 112 (M1 and M2) test the active bit of the multiplier. Then the partial product is shifted through selection of a path in the cell 100.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-111790

(43)公開日 平成10年(1998) 4月28日

(51)Int.Cl.⁸

G 0 6 F 7/00

H 0 3 K 19/177

識別記号

F I

G 0 6 F 7/00

H 0 3 K 19/177

A

審査請求 未請求 請求項の数1 O L (全 8 頁)

(21)出願番号 特願平9-228721

(22)出願日 平成9年(1997) 8月26日

(31)優先権主張番号 7 1 8, 8 4 9

(32)優先日 1996年9月26日

(33)優先権主張国 米国 (U S)

(71)出願人 590000400

ヒューレット・パッカード・カンパニー
アメリカ合衆国カリフォルニア州パロアル
ト ハノーバー・ストリート 3000

(72)発明者 フレデリック・エー・バーナー

アメリカ合衆国カリフォルニア州パロ・ア
ルト、ラモナ・ストリート 3234

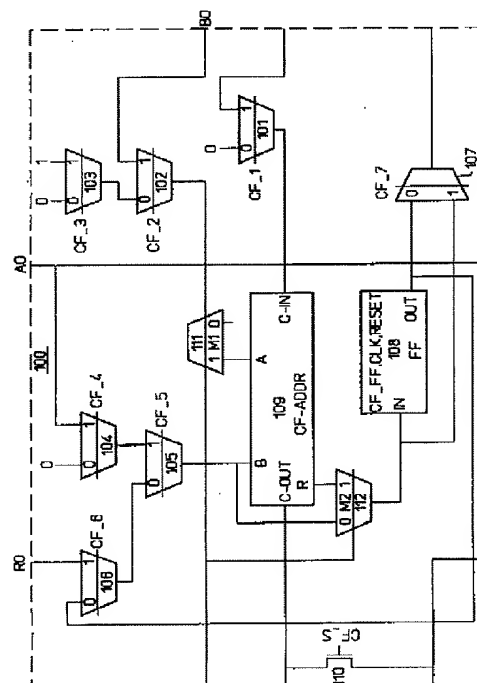
(74)代理人 弁理士 上野 英夫

(54)【発明の名称】 演算セル

(57)【要約】

【課題】 フィールド・プログラマブル・ロジック・デバイス内に用いる演算セルを改善し、アプリケーションにおいてその集積密度及び性能を大幅に向上させることができるようにする。

【解決手段】 本発明による演算セル100は、マルチプレクサ(111、112)とそれを制御するステアリング論理回路(101~107)を備える。ステアリング論理回路がアプリケーションに従ったコンフィギュレーション信号(CF_X)を受けて、マルチプレクサを制御して経路選択を行い、加算器109とフリップ・フロップ108を使って乗算器、累算器、及び加算器を構成する。これにより、汎用論理セルを使用することなしに、乗算器、累算器、及び加算器等を一つの密集したセルの中に効率的に実現させることができる。



【特許請求の範囲】

【請求項1】加算器と、

第1のマルチプレクサと、

第2のマルチプレクサと、

乗算演算を実施するように構成可能なステアリング論理回路とを備えており、

第1と第2のマルチプレクサが協同して、加算器へ入力される乗数のアクティブ・ビットについてテストを実施し、

乗数のアクティブ・ビットが「1」の場合、加算器に入力される被乗数が部分積に加算され、その結果生じる部分積がシフトされることと、

乗数のアクティブ・ビットが「0」の場合、生じる部分積は加算なしでシフトされることを特徴とする、プログラマブル・デバイス用の演算セル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ASIC（特定用途向けIC）に関するものであり、とりわけ、フィールド・プログラマブル・デバイス内におけるプログラマブル素子に関するものである。

【0002】

【従来の技術】ASICによって、デバイス・レベルにおいて設計を開始することを必要とせずに、独自の設計が施された製品を製造する能力がそのユーザに提供される。ゲート・アレイ、標準セル、フル・カスタム設計、及び、プログラマブル・ロジック・デバイスを含む、多種多様なASICテクノロジーが利用可能である。ゲート・アレイ、標準セル、及び、フル・カスタム・テクノロジーは、高性能及び柔軟性をもたらすが、開発サイクルが長期化すると、高いコストを使って開発したものが他のものに再利用できないといった犠牲を払うことになる。プログラマブル・ロジック・アレイ・デバイス（「PLD」）、フィールド・プログラマブル・ロジック・アレイ・デバイス（「FPLA」）、及び、プログラマブル・ゲート・アレイ・デバイス（「FPGA」）を含むプログラマブル・ロジック・デバイスは、グルー論理（glue logic）回路設計及び単純な集積回路設計といった、さまざまな用途において有効である。その効用は、利用可能な有効ゲート数が比較的少なく、必要な論理機能を実施する柔軟性が不十分で、動作速度が遅く、電力消費が大きいために制限を受けてきた。

【0003】フィールド・プログラマブル・デバイスの効用が制限される理由は、一般に、ロジック・デバイスの数が増すにつれて、アレイ・サイズが指数関数的に増大することによる。プログラマブル・アレイ内のプログラマブル素子は、ヒューズなどの溶断可能なリンクによって相互接続されたダイオードまたはトランジスタのような能動素子、紫外線で消去可能な、または、電氣的に消去可能な浮遊ゲート素子、または、ローカル・メモリ

回路によって制御される能動素子から構成される。一般に、こうしたデバイスは、抵抗性で、寄生容量が大きく、比較的大きいシリコン領域を消費する。各プログラマブル素子は、一般に、一定量の電力を消費するので、アレイ・サイズが増すにつれて、電力消費が増大する。さらに、アレイ・サイズが大きくなるにつれて、アレイの寄生容量が漸増するので、速度が低下する。従って、従来技術でのアレイのサイズは、実用上の限界によって制限される。

【0004】フィールド・プログラマブル・デバイスの効用は、小さいプログラマブル論理機能ユニットから構成されるデバイスのためのプログラマブル相互接続ネットワーク技法によってさらに拡大された。典型的なフィールド・プログラマブル・デバイスは、プログラマブル論理機能ユニットのアレイを備えている。各機能ユニットは、1つまたは複数の論理機能を実施する。垂直ラインと水平ラインが、各機能ユニットの入力に対して、また同様に出力に対しても永久的に接続されている。水平及び垂直ラインは、デバイスの様々な領域で交差し、プログラマブル相互接続マトリックスを形成している。プログラミングは、マスク、導電性ヒューズ、EPROM／EEPROMスイッチング・トランジスタ、または、プログラマブル・メモリ素子に接続された通常の論理トランジスタによって実施可能である。ランダム・アクセス・メモリ及び論理演算装置のような、他のタイプの機能ユニットが存在する可能性もある。

【0005】さらに、既存のフィールド・プログラマブル・デバイスは、そのフィールド・プログラマブル・セルに加算の算術演算を強化する機能を取り入れようと試みてきた。これらのデバイスには、4入力論理テーブル、フリップ・フロップ、桁上げ論理装置、及びコンフィギュレーション・スイッチ、並びに、最も近いセルへの桁上げ信号を含むことが可能な加算論理を実施するための回路要素が含まれている。従って、基本演算機能は、これらフィールド・プログラマブル・デバイスにおける汎用論理として実施することが可能である。しかし、演算機能は多くのアプリケーションにおいて見られるが、これらの機能は現在のフィールド・プログラマブル・デバイスに対する適合が不十分であり、このため、集積密度及び性能がさらに低下している。

【0006】その上、現在のところFPLAに用いられて乗算を効率よく実施することが可能な機構は存在しない。

【0007】従って、従来技術のフィールド・プログラマブル・デバイスの回路の集積密度及び性能限界が不十分であるため、これらのデバイスの利用が多く数のアプリケーションにおいて制限されることになるのは明らかである。

【0008】

【発明が解決しようとする課題】従って本発明の目的

は、一般的な演算機能を利用するアプリケーションにおいて、集積密度及び性能を大幅に改良したフィールド・プログラマブル・デバイスを提供することにある。

【0009】

【課題を解決するための手段】本発明は、一般的な演算機能を利用するアプリケーションにおける集積密度及び性能を大幅に改良できる演算セルを備えたフィールド・プログラマブル・デバイスを提供するための方法及び装置である。セル内には、フィールド・プログラマブル・デバイスにおけるプログラマブル素子として用いられる効率的な基本演算セルを形成するために、コンフィギュレーション・スイッチ及びビット・シフト回路が追加される。さらに、乗算は、2つのマルチプレクサの追加と、データ・シフトを可能にするセルの経路選択 (cell routing) によって強化される。

【0010】従って、本発明は、フィールド・プログラマブル・デバイスに用いられる演算セルを特徴づけるものである。この演算セルは、乗算器、乗算器/累算器、及び、加算器 (加算、比較、及び、減算) を一つの密集したセルの中に効率的に実現させるものである。この演算セルは、任意の大きさの全乗算器 ($n \times m$ の積)、任意の長さの加算器 ($n + m$ の和、比較、差)、累算器、及び、レジスタ (最終演算結果または部分積を保持するための) の実施を可能にする柔軟性のあるやり方で利用される。本発明の重要な要素は、アプリケーションに従って制御できるマルチプレクサ、乗算のためのシフト機能をもたらし信号経路選択、及び基本演算機能を実施するための回路要素およびそのコンフィギュレーション・ビットの最小限の集合体である。

【0011】

【実施例】以下では、図1〜図5に関連して、本発明の実施例について述べることにする。ただし、本発明はこれらの実施例に限定されるものではないので、これらの図に関してなされる詳細な説明は、例示を目的としたものであることは、当業者には明らかなことであろう。

【0012】図1は、フィールド・プログラマブル・デバイス用の構成可能な演算セル100の概略回路図であり、セル100は、本発明に従って構成されたセルを例証する実施例である。演算セル100には、ステアリング論理回路101〜107、フリップ・フロップ (F F) 回路108、加算器 (A D D R) 回路として構成された16ビット・ルック・アップ・テーブル (L U T) 109、スイッチ110、及び、マルチプレクサ回路111〜112 (M1〜M2) が含まれている。セル100の各素子101〜112は、既知の部品の分類における代表例であり、従って、これらの素子に関する今後の論述は、本発明の演算セルに関連する範囲内においていかに機能するかの説明に限ることとする。

【0013】セル100のある実施例の場合、A D D R 109は、入力信号と出力信号を有する全加算器回路で

ある。信号A、B、C_I N、及び、C F_A D D R は、入力信号であり、ここで、信号A、B、及び、C_I Nは、それぞれ、第1、第2、及び、第3の加数信号であり、信号C F_A D D Rは、 8×2 ルック・アップ・テーブル (L U T) が加算器回路を実施するための16ビット・コンフィギュレーション信号である。信号R及びC_O U Tは、出力信号であり、ここで、信号Rは、演算の結果を表す結果信号 (すなわち、加数信号A、Bと、桁上げを表す桁上げ入力信号C_I Nの和) であり、信号C_O U Tは、もしあれば結果信号Rの計算時に形成される桁上げを表す桁上げ出力信号である。

【0014】同様に、セル100についての実施例の場合、フリップ・フロップ (F F) 108は、入力及び出力信号を有するDタイプのフリップ・フロップ回路である。信号I N、C L K、R E S E T、及び、C F_F Fは、入力信号であり、ここで、信号I Nは、F F 108にラッチされるべきデータを表した入力信号であり、信号C L K及びR E S E Tは、F F 108のクロック及びリセット信号であり、C F_F Fは、フリップ・フロップ回路のためのコンフィギュレーション信号である。信号O U Tは、フリップ・フロップにラッチされたデータ値を示す出力信号である。

【0015】演算セル100において、ステアリング101〜107は、それぞれのコンフィギュレーション信号C F_1〜C F_7を有している。同様に、さらに詳細に後述するように、M1及びM2 (すなわち、それぞれのマルチプレクサ111及び112) も制御信号によって制御される。コンフィギュレーション信号C F_1〜C F_7、C F_A D D R、及び、C F_F Fによって演算セル100の構成が制御され、セル・アレイは柔軟性のあるフィールド・プログラマブル・デバイスをもたらしことが可能になる。従って、セル100は、あらゆるフィールド・プログラマブル・デバイスに共通の回路の集合である1つの密集したセルの中で、乗算器、乗算器/累算器、及び加算器 (加算、比較、及び、減算) の効率的な実施が可能になる。このセルは、任意の大きさの全乗算器 ($n \times m$ の積)、任意の長さの加算器 ($n + m$ の和、比較、差)、累算器、及び、レジスタ (最終的な演算結果または部分積を保持するための) を可能にする柔軟性のあるやり方で利用することができる。本発明の重要な要素は、アプリケーションに従って制御できるマルチプレクサ、乗算のためのシフト機能をもたらし信号経路選択、及び、基本演算機能を実施するための回路要素とそのコンフィギュレーション・ビットの最小限の集合体である。

【0016】図1は、本発明の典型的な基本演算セルの概略回路図である。素子A D D R 109、F F 108、及び、ステアリング論理回路101〜107は、一般的なフィールド・プログラマブル・セルの構成部品である。マルチプレクサ111及び112 (M1及びM2)

及びスイッチ110は、この加算器セルが効率的な乗算器として機能できるようにするために、本発明の重要な部分として導入されている。さらに、乗算機能並びに加算または累算機能を実施する標準的なアレイ回路のどの部分としてでも機能する柔軟性をこのセルに与えるように、他の部品による構成がセットされる。この場合、「累算」は、レジスタ内にある数を加算する回路機能と定義する。

【0017】乗算演算は一般に、乗数のアクティブ・ビットをテストし、そのアクティブ・ビットの値に基づいて異なった演算を実施することによって実施される。乗数のアクティブ・ビットが「1」の場合、被乗数が部分積に加算され、その結果生じた部分積がさらに乗数アレイにおいて1ビットだけシフトされる。しかし、乗数のアクティブ・ビットが「0」の場合、部分積はただ単に1ビットシフトされるだけである。セル100においては、マルチプレクサ111及び112(M1及びM2)が乗数のアクティブ・ビットに対するテストを実施し、演算セル内における経路選択によって、部分積のシフトが実施される。

【0018】演算セル100の応用例の1つが、 3×3 乗算器である。図2は、図1に示す演算セル100を 3×3 マトリックスにして構成される、 3×3 乗算器の概略回路図である。3ビット乗数信号(B0~B2)がアレイの「右」エッジ(セル200~202)に入力され、3ビット被乗数信号(A0~A2)がアレイの「上部」(セル200、210、220)に入力され、積信号(R0~R5)がアレイの「右」エッジ及び「下部」(セル200~202、212、及び、222)から出力される。セル「上部」行(セル220、210、及び、200)は、コンフィギュレーション・ビット(図1のCF_4、CF_5、及び、CF_6)を備えたアレイに「0」の初期部分積を導入する。セル221は、コンフィギュレーション・ビットCF_5をセットして、トランジスタ110にバイアスをかけ、低インピーダンス状態にすることによって、その加算器「AD」からセルの次の行の部分積の最上位ビットに桁上げをシフト・アウトする。セル222は、コンフィギュレーション・ビットCF_5をセットして、トランジスタ110にバイアスをかけ、低インピーダンス状態にすることによって、その加算器「AD」から積の最上位ビット(ビットR5)に桁上げをシフト・アウトする。この乗算器は、非同期モードで動作することもできるし、あるいは、各セル毎のレジスタ(図1のFF108)を利用して部分積を記憶することによって、パイプライン・ステージに分割することも可能である。図2に描かれた乗算器は、非同期乗算器として示されている。

【0019】従って、演算セル100(図1)の構成の直接的結果は、長方形の「 $n \times m$ 」乗算器構成である。被乗数の「 n 」ビットと積の「 n 」最上位ビットの垂直

方向におけるアライメントがとれ、「 m 」乗数ビットは、乗算器アレイの行を形成し、積の「 m 」再下位ビットとのアライメントがとれている。この回路構造は、効率的で柔軟性のある乗算器及び加算器アレイを形成することを目的としたフィールド・プログラマブル・デバイスとの適合性が高い。

【0020】演算セルの第2の応用例が、4ビット累算器(図3)である。コンフィギュレーション・ビットCF_4、CF_5、及び、CF_6を利用して、それぞれのマルチプレクサ・ステアリング論理回路104、105、及び、106をセットし、フリップ・フロップ(FF)108の出力が1ビット加算器(ADDR)104の入力Bに戻るように経路選択することによって、基本加算器回路に累算器の機能が追加されている。

【0021】演算セル100の第3の応用例は、2ビットMAC(図4の2ビット乗算器・累算器)である。図4において、セル410、420、411、及び、421は、図2の3ビットの事例において示したのと同様のやり方で2ビット乗算器を形成するように構成されている。セル412及び422は、図3の4ビットの事例において示したのと同様のやり方で2ビット累算器を形成するように構成されている。2つの上位の結果ビットの「水平」累算器セルと同様のやり方で、セル400及び401は、2つの下位の結果ビット(R0~R1)に関する2ビットの「垂直」累算器を形成するように構成されている。

【0022】図5は、セルが4ビットの乗算器回路を形成するように構成された、図1に表したタイプの 5×5 マトリックスをなす演算セルの概略回路図である。従って、図5には、図4の2ビットMACを拡張した、4ビットMACを形成する方法が示されている。図5の場合、セル510、520、530、540、511、521、531、541、512、522、532、542、513、523、533、及び、543は、図2の3ビットの事例において示したのと同様のやり方で4ビット乗算器を形成するように構成されている。セル514、524、534、及び、544は、図3において示したのと同様のやり方で4ビット累算器を形成するように構成されている。4つの上位結果ビットの「水平」累算器セルと同様のやり方で、セル500、501、502、及び、503は、4つの下位結果ビット(R0~R3)に関する4ビット「垂直」累算器を形成するように構成されている。

【0023】従って、本発明の利点は、明らかに、乗算器及び他の基本演算機能の効率の良い実施を可能にする、フィールド・プログラマブル・デバイスのためのアレイ・ビルディング・ブロックを提供することにある。図1にM1及びM2として示された2つのマルチプレクサは、演算セルに効率よく組み込まれており、このため、既存のフィールド・プログラマブル・デバイスにお

いて汎用論理セルを費やす必要がなくなる。演算セルにおけるプログラマブル・デバイスの集合は、下記機能を*

加算 $A + B = R$

比較 $A = ? B$

減算 $A - B = R$ または $B - A = R$

累算 $A + R(n-1) = R(n)$

乗算 $A \times B = R$

乗算・累算 $A(n) \times B(n) + R(n-1) = R(n)$

【0024】演算セルの物理的レイアウトは、一般の論理セルの約1/4を費やすものと推定される。セルのコンパクト化及び機能の増大によって、有効セル密度は10倍、20倍と増していく。性能は、汎用論理セルに生じるセル間ワイヤ容量を低減させることによって、また、汎用論理セルから演算機能を実施するために利用しなければならない直列コンフィギュレーション・スイッチの数を減らすことによって向上する。

【0025】演算セルのもう1つの利点は、演算セルの同種アレイ内において $n \times m$ 乗算器、加算器、レジスタ、及び、累算器の組み合わせの構築を可能にするセルの一般的性質である。このワイヤ、構成素子、及びコンフィギュレーション・ビットの集合体は、完全な演算回路を組み立てるのに十分なものであり、汎用論理セルを利用する必要がない。

【0026】本発明の多くの特徴及び利点については、記載の説明から明らかであり、従って、特許請求の範囲は、本発明のこうした特徴及び利点の全てを包含することを意図したものである。さらに、当業者には、多くの修正及び変更が考えられることは明らかであるので、本発明を、例示及び解説した構成及び動作にそのまま限定することを所望するものではない。従って、適合する修正及び同等物は全て、本発明の範囲内に含まれるものとする。

【0027】〔実施態様〕なお、本発明の実施態様の例を以下に示す。

【0028】〔実施態様1〕加算器[109]と、第1のマルチプレクサ[111]と、第2のマルチプレクサ[112]と、乗算演算を実施するように構成可能なステアリング論理回路[101~107]とを備えており、第1と第2のマルチプレクサ[111、112]が協同して、加算器へ入力される乗数のアクティブ・ビットについてテストを実施し、乗数のアクティブ・ビットが「1」の場合、加算器に入力される被乗数が部分積に加算され、その結果生じる部分積がシフトされることと、乗数のアクティブ・ビットが「0」の場合、生じる部分積は加算なしでシフトされることを特徴とする、プログラマブル・デバイス用の演算セル[100]。

【0029】〔実施態様2〕加算器[109]が、加算器として構成されたルック・アップ・テーブルであることを特徴とする、実施態様1に記載の演算セル[100]。

* 効率良く実施するため、最小限に抑えられる。

【0030】〔実施態様3〕加算器からの結果出力をラッチし、それによって乗算・累算演算を実施するように構成可能なフリップ・フロップ[108]がさらに含まれることを特徴とする、実施態様1または実施態様2に記載の演算セル[100]。

【0031】〔実施態様4〕ステアリング論理回路[101~107]が、乗算を行わずにフリップ・フロップ[108]において累算を実施するように構成可能であることを特徴とする、実施態様3に記載の演算セル[100]。

【0032】〔実施態様5〕ステアリング論理回路[101~107]及び加算器[109]が、乗算または累算を行わずに、フリップ・フロップ[108]においてラッチングを実施するように構成可能であることを特徴とする、実施態様3に記載の演算セル[100]。

【0033】〔実施態様6〕ステアリング論理回路[101~107]及び加算器[109]が、加算を実施するように構成可能であることを特徴とする、実施態様1、実施態様2、または実施態様3に記載の演算セル[100]。

【0034】〔実施態様7〕ステアリング論理回路[101~107]及び加算器[109]が、比較を実施するように構成可能であることを特徴とする、実施態様1、実施態様2、または実施態様3に記載の演算セル[100]。

【0035】〔実施態様8〕ステアリング論理回路[101~107]が減算を実施するように構成可能であることを特徴とする、実施態様1、実施態様2、または実施態様3に記載の演算セル[100]。

【0036】〔実施態様9〕少なくともセルの1つが、実施態様1ないし実施態様8のいずれか一項に記載の演算セル[100]であることを特徴とするセル・アレイが含まれているプログラマブル・デバイス。

【0037】〔実施態様10〕加算器[109]と、第1及び第2のマルチプレクサ[111、112]と、構成可能なステアリング論理回路[101~107]が含まれているプログラマブル・デバイス用の演算セル[100]内において乗算を実施するための方法であって、乗算を実施するように、ステアリング論理回路[101~107]の構成を行うステップと、第1と第2のマルチプレクサ[111、112]を利用し、協同して加算器[109]に対する乗数入力のアクティブ・ビットに

ついてテストを実施するようにさせるステップとを設けており、乗数のアクティブ・ビットが「1」の場合、加算器へ入力される被乗数が部分積に加算され、その結果生じる部分積がシフトされることと、乗数のアクティブ・ビットが「0」の場合、生じた部分積は加算なしでシフトされることを特徴とする方法。

【0038】

【発明の効果】以上詳細に説明したように、本発明によれば、セル内に、フィールド・プログラマブル・デバイスにおけるプログラマブル素子として使用することができ、基本演算セルを効率的に形成することができるので、一般的な演算機能を利用するアプリケーションにおいてその集積密度及び性能を大幅に向上させることができるようになる。

【図面の簡単な説明】

【図1】本発明に従って構成された、フィールド・プログラマブル・デバイス用の構成可能演算セルの概略回路図である。

【図2】乗算器回路を形成するように構成されている、図1に表されたタイプを3×3マトリックスに配列した演算セルの概略回路図である。

*【図3】累算器回路を形成するように構成されている、図1に表されたタイプを4×1マトリックスに配列した演算セルの概略回路図である。

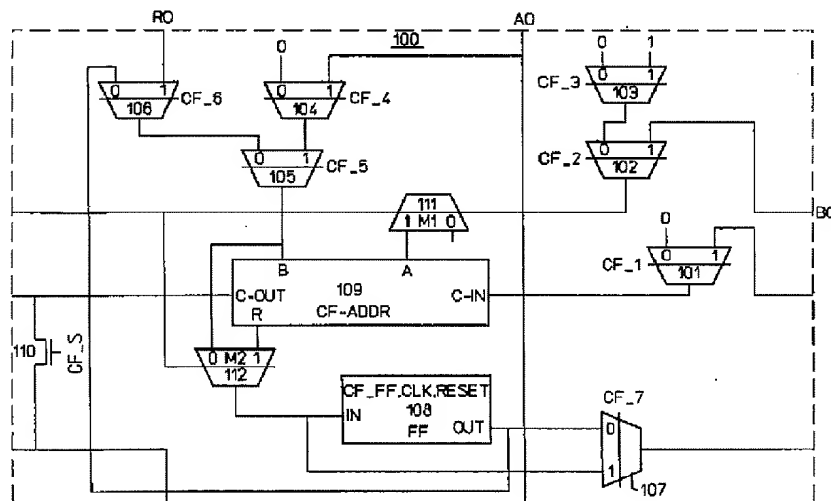
【図4】2ビットの乗算器・累算器回路を形成するように構成されている、図1に表されたタイプを3×3マトリックスに配列した演算セルの概略回路図である。

【図5】4ビットの乗算器・累算器回路を形成するように構成されている、図1に表されたタイプを5×5マトリックスに配列した演算セルの概略回路図である。

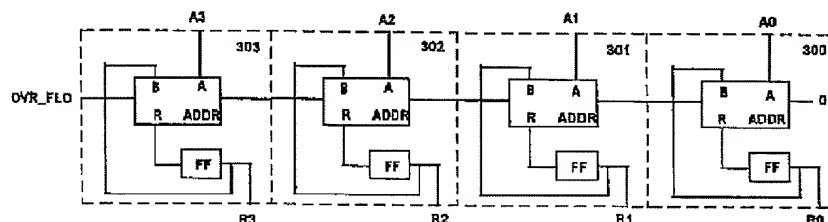
【符号の説明】

- 100：演算セル
- 101：ステアリング論理回路
- 102：ステアリング論理回路
- 103：ステアリング論理回路
- 104：ステアリング論理回路
- 105：ステアリング論理回路
- 106：ステアリング論理回路
- 107：ステアリング論理回路
- 110：スイッチ
- 111：マルチプレクサ回路
- 112：マルチプレクサ回路

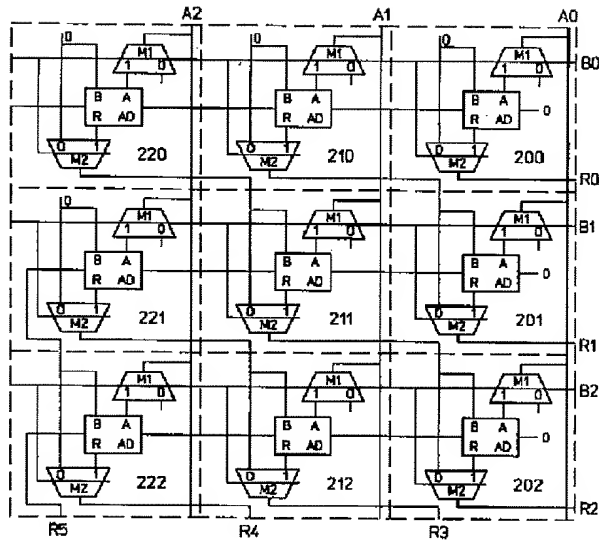
【図1】



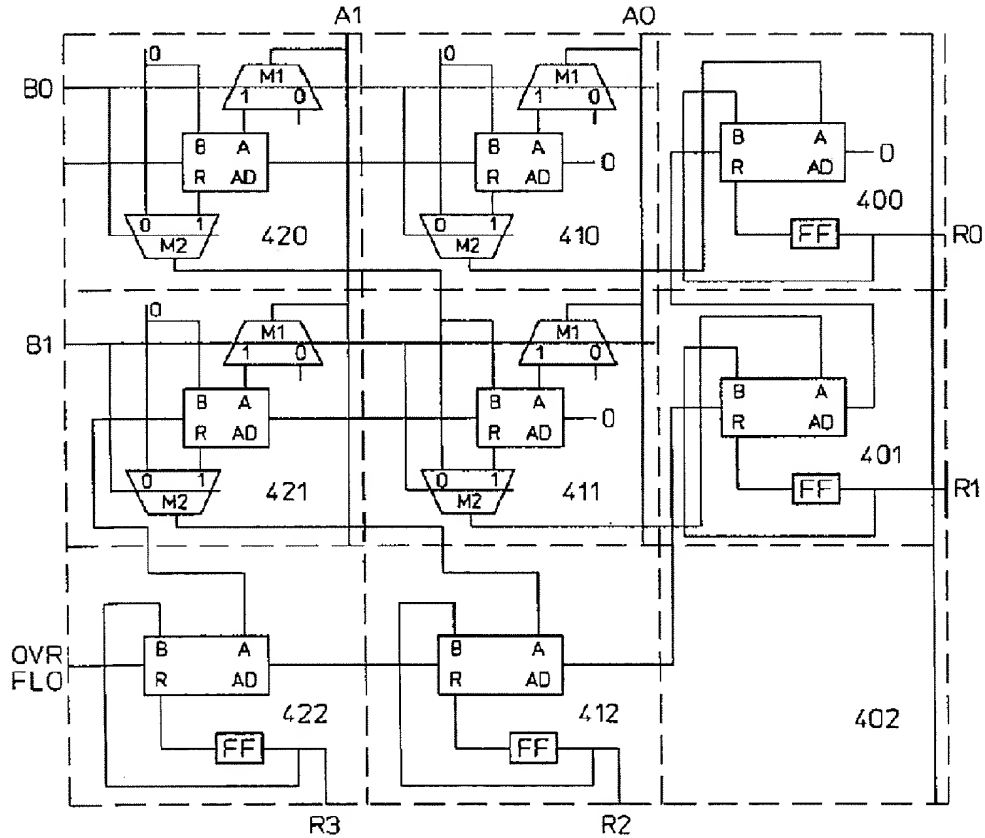
【図3】



【図2】



【図4】



【図5】

